

SOLID-STATE IMAGE PICKUP DEVICE

Patent number: JP10098176 (A)

Publication date: 1998-04-14

Inventor(s): MIYAGAWA RYOHEI; YAMASHITA HIROSHI; SASAKI MICHIO;
OBA HIDEFUMI; TANAKA NAGATAKA; MABUCHI KEIJI

Applicant(s): TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: H01L27/146; H04N5/335; H01L27/146; H04N5/335; (IPC-
7): H01L27/146; H04N5/335

- european: H01L27/146A8C; H01L27/146V; H01L27/146A4; H01L27/146F

Application number: JP19960248362 19960919

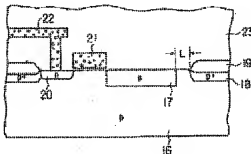
Priority number(s): JP19960248362 19960919

Also published as:

US6281533 (B1)

Abstract of JP 10098176 (A)

PROBLEM TO BE SOLVED: To reduce a leak current generated at a defect at an end of a local-oxidation-of-silicon(LOCOS) region having many defects by preventing depletion of the end of the LOCOS region. **SOLUTION:** An n-type layer region 17, constituting a photodiode along with a p-type layer region 16, is formed in a surface part (p-type layer region 16) of a silicon substrate type layer region. Also on a p-type layer region 18 in the top part of the silicon substrate 16 lies an element separation region (LOCOS region) 19 by oxidization of a part of the substrate 16. The n-type layer region 17 and the LOCOS region 19 are formed separated from each other by a predetermined distance L. Further, the n-type layer region 17 and a contact 20 are formed separated by a distance corresponding to a gate 21 of a reset transistor. The contact 20 is connected with a wiring line layer 22. A flattened layer is denoted by a reference numeral 23.



Data supplied from the esp@cenet database — Worldwide

特開平10-98176

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.⁶H 0 1 L 27/146
H 0 4 N 5/335

識別記号

F I

H 0 1 L 27/14
H 0 4 N 5/335A
E

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平8-248362

(22) 出願日 平成8年(1996) 9月19日

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮川 良平

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 山下 浩史

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 佐々木 道夫

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

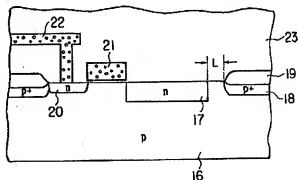
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 欠陥の多いLOCOS領域の端部の空乏化を防止し、LOCOS領域の端部で発生するリーク電流を減少させること。

【解決手段】 シリコン基板(p型層領域)16の表面部にこのp型層領域16と共にフォトダイオードを構成するn型層領域17が形成されている。また、シリコン基板16の表面部のp⁺層18上には、素子分離領域(L₁OCOS領域)19が、シリコン基板16の一部を酸化して形成されている。上記n型層領域17とLOCOS領域19は、所定の距離だけ離れて形成されている。また、n型層領域17とコンタクト20とは、リセットトランジスタのゲート21の分だけ離間されて形成されている。そして、上記コンタクト20には、配線層22が接続されている。尚、23は平坦化層である。



【特許請求の範囲】

【請求項1】 シリコン基板上に少なくとも光電変換領域のためのフォトダイオードとシリコン基板が酸化されて形成され、上記フォトダイオードを素子分離する素子分離領域と上記フォトダイオードで収集された信号電荷を増幅する手段とを備えた画素の配列から成る固体撮像装置に於いて、

上記フォトダイオードの不純物層は、素子分離領域から所定感覚を置いて形成されることを特徴とする固体撮像装置。

【請求項2】 シリコン基板上に少なくとも光電変換領域のためのフォトダイオードとシリコン基板が酸化されて形成され、上記フォトダイオードを素子分離する素子分離領域と上記フォトダイオードで収集された信号電荷を増幅する手段とを備えた画素の配列から成る固体撮像装置に於いて、

少なくとも上記フォトダイオードに隣接する素子分離領域の端部に隣接して形成されるもので、上記フォトダイオードの不純物層と反対導電型で濃度の高い不純物層を具備することを特徴とする固体撮像装置。

【請求項3】 基板半導体表面層に、基板界面が空乏化し高い濃度不純物層から成る第1の半導体層と、この第1の半導体の下層に該第1の半導体層と異なる導電型の第2の半導体層と、この第2の半導体層の上層に上記第1の半導体層と同じ導電型の第3の半導体層とが形成されたフォトダイオードを有し、上記第2の半導体層に信号蓄積領域を具備する固体撮像素子に於いて、

上記第3の半導体層は、該第3の半導体層が有するフォトダイオードの空乏層端以外の領域で、上記基板半導体表面からの距離が長くなるに従って緩やかな濃度勾配を有して深さ方向に緩やかに下降する不純物濃度分布を有し、該第3の半導体層で生成された信号電荷が上記濃度勾配により分配され、該信号電荷の一部が上記第2の半導体層内の信号蓄積部に拡散して蓄積され、上記信号電荷の残りの電荷が上記基板半導体内に拡散排出されることを特徴とする固体撮像装置。

【請求項4】 請求項1に記載の固体撮像装置の上記第3の半導体層を形成する固体撮像装置の製造方法に於いて、

上記第3の半導体層の不純物濃度分布は、該不純物の注入深さ分布の中心がフォトダイオードより十分深い位置となる高加速度イオン注入で導入され、熱拡散により上記基板半導体表面方向に緩やかに下降した濃度分布を形成することを特徴とする固体撮像装置の製造方法。

【請求項5】 第1導電型の半導体基板上に上記第1導電型と反対導電型の第2導電型ウェルを形成し、該ウェル内にフォトダイオードとこのフォトダイオードの信号を容量に転送する転送トランジスタと、容量に接続されたゲートから成る増幅トランジスタと、該増幅トランジスタを活性化するアドレス手段と、上記フォトダイオー

ドの信号を排出するリセット手段とを有する単位セルを行列2次元状に配列して成る固体撮像装置に於いて、上記ウェルの濃度の最も高い部分が上記半導体基板表面上から少なくとも2 μ mの位置に形成されていることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はシリコン基板上に形成された増幅型固体撮像装置に係わり、特に単位セル内にあるフォトダイオードがシリコン基板を酸化して形成したシリコン酸化膜で素子分離された固体撮像装置に関する。またこの発明は、基板半導体の不純物濃度がフォトダイオード形成する空乏層領域より深い位置で、基板の深さの増加に伴い緩やかに増加する領域を有し、半導体基板内で発生する信号電荷の一部電荷を信号蓄積部へ集めることで高ダイナミックレンジを有する固体撮像装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、固体撮像装置の1つとして、増幅型センサを用いた固体撮像装置が提案されている。この装置は、光電変換蓄積部で検出した光信号を、光電変換蓄積部のごく近傍で増幅するという特徴を有している。

【0003】図20は、増幅型MOSセンサを用いた従来の固体撮像装置の回路構成図である。図20に示されるように、増幅型MOSセンサは、単位画素あるいは単位セル内に、少なくともフォトダイオード1と該フォトダイオード1にシリコン基板内で光電変換され収集された信号電荷を増幅する増幅トランジスタ2より成る増幅手段を有している。

【0004】図21は、従来の増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面構造を示したものである。図21に示されるように、シリコン基板(p型層領域)3と共にフォトダイオードを構成するn型層領域4は、素子分離の酸化膜層に自己整合的に作られている。そして、p⁺層5上の素子分離領域6は、シリコン基板3の一部を酸化して形成されたシリコン酸化膜である。このシリコン基板上に部分的に形成された酸化膜は、一般的にLOCOS(LOCAL OXIDATION of Silicon)と称されている。尚、7はコンタクト、8はこのコンタクトに接続された配線層、9はリセットトランジスタのゲート、10は平坦化層である。

【0005】

【発明が解決しようとする課題】ところがLOCOS領域6端部のシリコン基板3内は、シリコン基板3の酸化時にストレスを受けるために欠陥が生じる。この欠陥で生成される電流がフォトダイオードのリーク電流となるという問題があった。

【0006】以下、この問題について、図22を参照して説明する。図22は、フォトダイオードとLOCOS領域の境界部分を拡大して示した図である。図22に示

されるように、n型層領域4の周囲には空乏領域11が形成されている。また、LOCOS領域6の下部で上記n型層領域4と接触する部分に、欠陥が多い領域(多欠陥領域)12が空乏化されている。したがって、この多欠陥領域12を介して、熱的に電子・正孔対が多く生成されてしまう。この生成された電子により、フォトダイオードに起因するシリコンのバンドギャップ内の欠陥準位を介して、熱的に電子・正孔対が生成される。すると、この電子がフォトダイオードに流れ込み、フォトダイオードのリーク電流となる。そして、このリーク電流が生じるために、固体撮像装置としての感度、すなわちS/N比が低下するという課題があった。

【0007】このように、従来はLOCOS領域と自己整合的にフォトダイオードを形成していたため、LOCOS領域端部の欠陥で生成される電流がフォトダイオードのリーク電流になるという課題を有していた。したがってこの発明は、フォトダイオードのリーク電流を防止すると共に感度の低下を防止することのできる固体撮像装置を提供することを目的とする。

【0008】

【課題を解決するための手段】すなわちこの発明は、シリコン基板上に少なくとも光電変換領域のためのフォトダイオードとシリコン基板が酸化されて形成され、上記フォトダイオードを素子分離する素子分離領域と上記フォトダイオードで収集された信号電荷を増幅する手段とを備えた画素の配列から成る固体撮像装置に於いて、上記フォトダイオードの不純物層は、素子分離領域から所定感覚をおいて形成されることを特徴とする。

【0009】またこの発明は、シリコン基板上に少なくとも光電変換領域のためのフォトダイオードとシリコン基板が酸化されて形成され、上記フォトダイオードを素子分離する素子分離領域と上記フォトダイオードで収集された信号電荷を増幅する手段とを備えた画素の配列から成る固体撮像装置に於いて、少なくとも上記フォトダイオードに隣接する素子分離領域の端部に隣接して形成されるもので、上記フォトダイオードの不純物層と反対導電型で濃度の高い不純物層を具備することを特徴とする。

【0010】更にこの発明は、基板半導体表面層に、基板界面が空乏化しない高濃度不純物層から成る第1の半導体層と、この第1の半導体の下層に該第1の半導体層と異なる導電型の第2の半導体層と、この第2半導体層の下層に上記第1の半導体層と同じ導電型の第3の半導体層とが形成されたフォトダイオードを有し、上記第2の半導体層に信号蓄積領域を具備する固体撮像素子に於いて、上記第3の半導体層は、該第3の半導体層が有するフォトダイオードの空乏層端部以外の領域で、上記基板半導体表面からの距離が長くなるに従って緩やかな濃度勾配を有して深さ方向に緩やかに下降する不純物濃度分布を有し、該第3の半導体層で生成された信号電荷が上

記濃度勾配により分配され、該信号電荷の一部が上記第2の半導体層内の信号蓄積部に拡散して蓄積され、上記信号電荷の残りの電荷が上記基板半導体内に拡散排出されることを特徴とする。

【0011】この発明は、上記固体撮像装置の上記第3の半導体層を形成する固体撮像装置の製造方法に於いて、上記第3の半導体層の不純物濃度分布は、該不純物の注入深さ分布の中心がフォトダイオードより十分深い位置となる高加速度イオン注入で導入され、熱拡散により上記基板半導体表面方向に緩やかに下降した濃度分布を形成することを特徴とする。

【0012】またこの発明は、第1導電型の半導体基板上に上記第1導電型と反対導電型の第2導電型ウェルを形成し、該ウェル内にフォトダイオードとこのフォトダイオードの信号を容量に転送する転送トランジスタと、容量に接続されたゲートから成る増幅トランジスタと、該増幅トランジスタを活性化するアドレス手段と、上記フォトダイオードの信号を排出するリセット手段とを有する単位セルを行列2次元状に配列して成る固体撮像装置に於いて、上記ウェルの濃度の最も高い部分が上記半導体基板表面から少なくとも2 μ mの位置に形成されていることを特徴とする。

【0013】この発明は、欠陥の多いLOCOS領域の端部からフォトダイオードを離して形成すると共に、欠陥の多いLOCOS領域の端部のフォトダイオードと反対導電型の不純物濃度を大きくする。

【0014】この発明は、吸収減衰する入射光が有効な範囲でフォトダイオード構造を完全空乏化した構造を改め、有効距離内に完全空乏領域と空乏化しない信号蓄積領域をおき、空乏化しない半導体不純物層の不純物濃度を、隣接画素間乃至は基板深部に対して緩やかに増加させた構造とすることによって、空乏化しない領域で生成した信号電荷がこの緩やかな濃度勾配により信号電荷がより多く蓄積部側へ流入する構造を形成し、この空乏化していない領域で生成した信号電荷を分配してその一部電荷のみを蓄積する。

【0015】更にこの発明は、フォトダイオードを囲う不純物半導体の不純物濃度に緩やかな濃度勾配をおくことで、入射光に対する光電変換された電荷信号を効率よく蓄積領域に集め、尚かつ高輝度信号の多量発生する信号を一掃捨てる構造にすることで高ダイナミックレンジを得る。

【0016】この発明によれば、基板半導体の不純物濃度がフォトダイオードの空乏層領域より深い位置で基板の深さ方向に緩やかに増加する領域を設けることで、半導体基板内で発生する信号電荷の一部電荷は効率よく蓄積部に集まる。その結果、高輝度光により発生した信号電荷の一部電荷は蓄積され、残り電荷は拡散により基板側に排出されるために、高ダイナミックレンジの撮像が可能である。

【0017】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。尚、以下に述べる実施の形態に於いて、同一の構成要素には同一の参照番号を付してその説明は省略するものとする。

【0018】図1は、この発明の固体撮像装置の第1の実施形態で、増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。図1に於いて、シリコン基板(p型層領域)16の表面部にこのp型層領域16と共にフォトダイオードを構成するn型層領域17が形成されている。また、シリコン基板16の表面部のp⁺層18上には、素子分離領域(LOCOS領域)19が、シリコン基板16の一部を酸化して形成されている。

【0019】上記n型層領域17とLOCOS領域19は、所定の距離だけ離れて形成されている。また、n型層領域17とコンタクト20とは、リセットランジスタのゲート21の分だけ離隔されて形成されている。そして、上記コンタクト20には、配線層22が接続されている。尚、23は平坦化層である。

【0020】このような構成に於いて、フォトダイオードのn型層領域17がLOCOS領域に自己整合的に形成されていない点が従来と異なっている。従来は、LOCOS領域自体をマスクとして、n型不純物をイオン注入することによりLOCOS領域に自己整合的にフォトダイオードを形成していた。しかしながら、この第1の実施の形態では、LOCOS領域19を含む部分の上にレジスト層(図示せず)を形成し、n型不純物をイオン注入することによってフォトダイオードを形成している。

【0021】したがって、フォトダイオードのn型層領域17は、LOCOS領域19の端部より距離だけ離隔されている。このため、LOCOS領域19端部に形成される多欠陥領域が空乏化することを防止することができる。それ故、LOCOS領域19端部の欠陥で生成するリーク電流を防止することができる。

【0022】尚、図1に示されるLOCOS領域19の端部からフォトダイオード(n型層領域)17までの距離は、0.1 μ m以上を設定すればLOCOS領域19端部でのリーク電流は低減される。

【0023】次に、この発明の第2の実施形態について説明する。図2は、第2の実施の形態による増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。

【0024】上述した第1の実施の形態と異なるのは、フォトダイオードのn型層領域17とLOCOS領域19との間は離隔されていないもの、LOCOS領域19の端部のフォトダイオードと接するようにフォトダイオードのn型層領域17の表面に、該n型層領域17と反対導電型であるp型の不純物濃度の大きいp⁺型層で

構成される欠陥シールド層24が形成されている点である。

【0025】このp⁺型層の欠陥シールド層24は、LOCOS領域19をマスクとしてp型不純物のイオン注入により自己整合的に形成されている。この第2の実施の形態では、LOCOS領域19の端部が不純物濃度の濃いp⁺型層となっているので、LOCOS領域19端部の多欠陥領域が空乏化することを防止することができる。したがって、LOCOS領域19端部の欠陥にて生成されるリーク電流を防ぐことができる。

【0026】図3は、この発明の第3の実施の形態を示した増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。上述した第2の実施の形態と異なるのは、p⁺型層で構成される欠陥シールド層25が、フォトダイオードのn型層領域17の全面に接するように形成されている点である。この欠陥シールド層25をフォトダイオードのn型層領域17の全面に接するようにした理由は、シリコン基板16と酸化膜表面に存在する界面単位に対して、LOCOS領域19の欠陥シールド層25をn型層領域17上全面に延ばしてシールドし、上記界面単位を介して発生するリーク電流を防ぐためである。

【0027】この場合も、上述した第2の実施の形態と同様で、LOCOS領域19の端部が不純物濃度の濃いp⁺型層となっているので、LOCOS領域19端部の多欠陥領域が空乏化する事を防ぐことができる。したがって、LOCOS領域19端部の欠陥で生成するリーク電流を防止することができる。

【0028】図4は、この発明の第4の実施の形態を示した増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。この第4の実施の形態の構成は、上述した第3の実施の形態とほぼ同じである。すなわち、第3の実施の形態と異なる点は、第1のフォトダイオードのp⁺型層25が、上述した第1の実施の形態と同様に、LOCOS領域19端部より離れていることと、第2にp⁺型層で構成される欠陥シールド層26が、界面単位をシールドするp⁺型層25とは別に形成されている点である。

【0029】第4の実施の形態に於いても、LOCOS領域19の端部が不純物濃度の濃いp⁺型層となっていて、且つフォトダイオードのn型層領域17はLOCOS領域19の端部より離れて形成されている。したがって、LOCOS領域19端部の多欠陥領域が空乏化することを防ぐことができる。このため、LOCOS領域19端部の欠陥で生成するリーク電流を防止することができる。

【0030】図5は、この発明の第5の実施の形態を示した増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。この第5の実施の形態は、上述した第2の実施の形態とほぼ同じである。

【0031】つまり、第2の実施形態では p^{++} 型層の欠陥シールド層24がLOCOS領域19端部でLOCOS領域19の外側に形成されていたが、この第5の実施の形態では p^{++} 型層の欠陥シールド層27は、LOCOS領域19端部で且つLOCOS領域19の下部に形成されている。

【0032】これは、LOCOS領域19は、通常SiN膜がLOCOS領域19以外の部分に先ず形成され、その後該SiN膜をマスクとして高温で酸素或いは H_2O によりシリコン基板16を酸化して形成される。そして、素子分離領域であるため、 p^{+} 型層で構成される素子分離層は、シリコン基板16の酸化前にSiN膜をマスクとして p 型不純物がイオン注入されて形成される。

【0033】図5に示される p^{++} 型層の欠陥シールド層27は、 p^{+} 型素子分離層同様にシリコン基板16の酸化前にSiNをマスクとして p 型不純物がイオン注入されて形成される。但し、 p^{+} 型素子分離層の形成と異なる部分は、SiN膜とは別にフォトダイオードに隣接する部分以外のLOCOS領域となる部分をレジスト層で覆い、このレジスト層とSiN膜をマスクとして p 型不純物をイオン注入して、図5に示されたような形状に形成する。

【0034】この場合でもLOCOS領域の端部が不純物濃度の濃い p^{++} 層となつていたのでLOCOS領域端部の欠陥の多い部分が空乏化する事が防がれる。このため、LOCOS領域端部の欠陥で生成するリーク電流が防がれる。

【0035】第5の実施の形態では、LOCOS領域でのフォトダイオードのリーク電流を防ぐために、単純に p^{+} 型の素子分離層の p 型不純物濃度を大きくしているものではない。その理由は、単純に p^{+} 型の素子分離層の p 型不純物濃度を大きくすると、フォトダイオード以外の、例えば図5に示される n 型層領域17が濃度の高い p^{++} 型層の不純物拡散で浸食されてしまう。そして、極端な場合は、 p 型層がコンタクト20にまで達して、コンタクト部でのリークの原因となってしまう。そのため、第5の実施の形態にあるように、 p^{++} 型の欠陥シールド層27をフォトダイオードに隣接する部分のみに形成することを望ましい。

【0036】ところで、基本的な固体撮像装置のフォトダイオードは、電荷蓄積層領域を形成する第1の不純物半導体層(p^{+} 層)と、この第1の不純物半導体層と導電型を異にする第2の不純物半導体層(n^{+} 層)で形成されている。また、基板側へ飽和信号を排出する構造を有する種類のフォトダイオードでは、上記第2の不純物半導体層下部に第1の不純物半導体層と導電型が同じである第3の不純物半導体層(p^{+} 層)を有している(図6参照)。

【0037】基板に入射する光は、主に、第1の不純物半導体層と第2の不純物半導体層間の空乏層領域または

第2の不純物半導体層と第3の不純物半導体層の間の空乏層領域で光電変換される。

【0038】そして、空乏層内の電位勾配により、第1の不純物半導体層と第2の不純物半導体層間の信号電荷は、フォトダイオード内に集まって蓄積され、フォトダイオードに蓄積される信号電荷が第2の不純物半導体層の降壁で決まる飽和信号レベルを超えると、基板側へ排出して廃棄される。

【0039】このようなフォトダイオード構造では、信号電荷は主に基板側の空乏層領域で発生し、第2の不純物半導体層で形成される信号降壁層の上部領域で生成された信号電荷は、全てフォトダイオード内に蓄積されると。そして、信号電荷の総量が飽和レベルに達すると、余剰信号は全て降壁層を超えて基板へ排出される(図7参照)。そのため、高輝度光が入射すると蓄積部に貯まる信号電荷はこの飽和レベルで一定となり、入射光に対応して出力信号が得られなくなる。

【0040】また、上記構造以外のフォトダイオードでは、隣接オーバーフローレイン構造のフォトダイオードも含め、フォトダイオード下層の第2の不純物半導体層の不純物分布形成工程が、基板表面に不純物を導入して行われ、その導入不純物の熱拡散を経て形成される。したがって、このフォトダイオード下層の第2の半導体層の不純物濃度分布は、基板内側に対して緩やかに低下する構造または平坦な分布構造をとっている(図8参照)。

【0041】こうした構造のフォトダイオードでは、信号電荷の内でのフォトダイオード下部の第1の不純物半導体層で光電変換した信号が不純物濃度勾配に従い基板内へ排出され易くなっている(図9参照)。したがって、信号の多くは、信号電荷蓄積部へ分配されずに捨てられてしまう。

【0042】このため、隣接画素間への信号の流失を抑え、同時に基板内で光電変換する信号電荷がフォトダイオード蓄積部に貯まり、フォトダイオード下部の非空乏化不純物半導体領域で発生した信号は拡散により、その一部信号電荷がフォトダイオード蓄積部に分配されて、信号として蓄積されるフォトダイオード構造にし、尚且つ低輝度光では少ない信号電荷がより多く蓄積部に流れ、高輝度光入射時の大量生成する信号電荷を拡散によりその一部信号を蓄積部に貯めることで高ダイナミックレンジが可能な固体撮像装置を必要とした。

【0043】以下に述べる実施の形態は、こうした高ダイナミックレンジが可能な固体撮像装置を実現するための例である。図10乃至図13を参照して、この発明の第6の実施の形態について説明する。

【0044】フォトダイオードを形成する基板半導体は、その基板の信号降壁層を形成する深さに、不純物の高加速度イオン注入が行われる。図11に示される破線は、不純物を導入した直後の不純物分布を示したもので

ある。不純物導入がなされたこの基板に熱拡散処理が施されることで、障壁層を形成する不純物濃度の分布が、図11の実線で示されるような、信号蓄積部に向かってなだらかに低下する構造に形成される。そして、このように形成された基板に、信号蓄積領域となるフォトダイオードの不純物領域を形成することで、不純物濃度分布が図12に示される特性となる。

【0045】図10に於いて、基板31内の信号電荷障壁層32を形成するのに先立ち、基板表面Aに素子分離のためのLOCOS層33が形成される。LOCOS層33の膜厚は、その周辺部から緩やかに増加し、素子間分離の中心位置で最も厚くなる。

【0046】LOCOS層33の形成後に、基板奥の信号電荷障壁層を形成するための不純物を高加速イオン注入34がなされる。これにより、LOCOS層33が加速イオンを減速させるマスク材となり、LOCOS層33の下の方の障壁層32は浅くなる。

【0047】上述したように、図11に示される不純物濃度の分布図を参照すると、LOCOS層33の下の方では素子間に障壁層32が形成される。そして、この障壁層32によって、信号電荷を蓄積部に貯まりやすく、且つ隣接要素への信号の混入を防ぐ構造とすることができると。

【0048】このような不純物濃度分布を有する構造のフォトダイオードに於いて、入射された光 $h\nu$ により、空乏層以下での領域で光電変換された信号電荷は、図13に示されるように、基板表面Aからの深さ A' から、拡散によって基板内部の A'' に行くものと、信号蓄積部に流れるものに分配される。

【0049】したがって、図12に示される不純物濃度分布を有する構造のフォトダイオードでは、信号電荷の少ないとき、より多くの電荷が蓄積部へ流れる。これに対して、高輝度光入射時では、光の深さ方向への減衰により信号電荷の勾配が基板側に薄くなる。このため、より基板側へ拡散排出するために、入射光に対して蓄積部の信号は飽和しにくくなり、入射光量に応じて蓄積信号が応答して増加する範囲、つまりダイナミックレンジが増す。

【0050】尚、この第6の実施の形態に於いては、LOCOS層を減速マスク材として使用しているが、他のマスク材を使用しても良い。次に、この発明の第7の実施の形態を説明する。

【0051】図14に於いて、より浅い領域に障壁層を構成するために、加速度の遅い不純物イオン注入35がフォトレジストマスク36で規定する素子間領域32に選択的に注入される。尚、37は、素子間分離のために注入されたイオンを表している。

【0052】その後、素子間領域32の表面部にフォトダイオードを形成すべく半導体層38及び39と、ソース/ドレイン半導体活性化領域40が形成される。また

基板31表面の上部には、トランジスタゲート41、42が形成される。

【0053】このように構成することで、上述した第6の実施の形態と同じ効果を得ることができる。また、基板表面と底部障壁層との中間深さに不純物導入することにより、画素隣接領域に最も効率良く障壁層を設けることができる。

【0054】このように、第6及び第7の実施の形態によれば、基板半導体深部で光電変換した信号電荷の一部はなだらかな拡散によって、蓄積部を兼ねる上部フォトダイオード領域に流れて信号電荷となる。また、フォトダイオード下部で生成された電荷は周囲の高濃度不純物領域により拡散が抑制されるので、隣接画外の信号の流失を抑えることができる。

【0055】ところで、増幅型の固体撮像装置のセルの微細化に於いては、MOSTランジスタの数をできるだけ減らすことが望ましいものであったが、リセット用トランジスタの存在が微細化を妨げるものとなっている。したがって、リセット用トランジスタを不要にしてフォトダイオードの感度の低下を防止することも考えられる。

【0056】第8の実施の形態は、こうしたリセット用トランジスタを不要にするための構造例である。この第8の実施の形態は、高加速度イオン注入した後ウェル拡散を行う例である。この図16(a)はこの発明の第8の実施の形態に於ける固体撮像装置の層構造を示した図、図16(b)は同図(a)の基板内の不純物濃度分布図である。

【0057】n基板41上のpウェル42の拡散電位勾配によるフォトダイオードの感度低下の対策として、電子が基板側に排出されることに對する電位障壁が設けられる。この電位障壁は、pウェル42の濃度が最も高い部分を、基板の表面から深い位置に形成することによって形成される。この場合、pウェルの濃度の最も高い部分の基板表面からの深さは、少なくとも $2\mu\text{m}$ である(図16(b)参照)。尚、43はn型拡散層である。

【0058】これにより、pウェル42の濃度の最も濃度の高い部分が基板深部に作成され、ここからフォトダイオードが形成されている基板表面まで光電子を基板表面側に集めるような電位電位勾配が形成される。したがって、光電子が基板側に排出される確率を減少せしめ、反対に基板表面のフォトダイオードに入る確率を増加させ、感度を向上させることができる。

【0059】また、基板(Si)に於いて、可視光の光電変換はおおよそ深さ $2\mu\text{m}$ 以内で行われるので、pウェルの最も濃度の高い部分を $2\mu\text{m}$ 以上の深さにして形成すれば良い。

【0060】図17(a)はこの発明の第9の実施の形態に於ける固体撮像装置の層構造を示した図、図17(b)は同図(a)の基板内の不純物濃度分布図であ

る。この第9の実施の形態は、通常のウェルを形成した後、MeVイオン注入によって深い部分に光電子に対する電位障壁を形成するものである。これによっても、光電子がn基板側に排出される確率を減少させ、フォトダイオードの感度を向上させることができる。

【0061】このように、VOD構造にして信号電荷を基板側に排出することによって、リセット用トランジスタを不要にすることができる。これは、CCDのVOD構造とは異なり、セルのアドレスキャパシタを用いて検出部の電位を操作することによって電荷を排出する。

【0062】図18は、リセットを基板側に排出するセル構造をとったときのセル部の回路構成の一例である。以下、図19に示された検出部の電位図を参照して説明する。

【0063】図19に於いて、単位セル45は、フォトダイオード46と、キャパシタ47と転送トランジスタ48とにより構成されている。上記キャパシタ47は、転送トランジスタ48のゲートとアドレス線Ad間に接続されている。尚、49は検出部である。

【0064】いま、拡散層43、pウェル42、基板41の電位関係を図19(a)～(c)のように表す。図18の検出部49に光電子が導入された状態は、図19(a)に示されるようになっている。これをリセットするには、図19(b)に示されるようにアドレス線Adを“L(ローレベル)”にしなければならぬ。この時、上記検出部49がpウェル42に対して逆バイアスされるので、検出部49から電子がpウェル42を通してn基板41に掃き出される。この後、アドレス線Adの電位を戻してリセットが完了する(c)。このように、リセット用トランジスタを不要にすることで、フォトダイオードの感度を向上させることができるうえ、微細なセルを構成することができる。

【0065】

【発明の効果】以上のようにこの発明によれば、フォトダイオードのリーク電流を防止すると共に感度の低下を防止することのできる固体撮像装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の固体撮像装置の第1の実施形態で、増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。

【図2】第2の実施の形態による増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。

【図3】この発明の第3の実施の形態を示した増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。

【図4】この発明の第4の実施の形態を示した増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。

【図5】この発明の第5の実施の形態を示した増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面図である。

【図6】基本的な固体撮像装置のフォトダイオードに於ける基板表面からの深さと不純物濃度の分布を表した図である。

【図7】基本的な固体撮像装置のフォトダイオードに於ける基板表面からの深さと電位との関係を表した図である。

【図8】基本的な他の固体撮像装置のフォトダイオードに於ける基板表面からの深さと不純物濃度の分布を表した図である。

【図9】基本的な他の固体撮像装置のフォトダイオードに於ける基板表面からの深さと電位との関係を表した図である。

【図10】この発明の第6の実施の形態を示すもので、固体撮像装置の基板の層構造を示した図である。

【図11】第6の実施の形態を示すもので、不純物が導入された直後と所定時間経過後の不純物濃度の分布を表した図である。

【図12】第6の実施の形態を示すもので、基板表面からの深さと不純物濃度の分布を表した図である。

【図13】第6の実施の形態を示すもので、基板表面からの深さと電位との関係を表した図である。

【図14】この発明の第7の実施の形態を示すもので、高加速度イオン注入時の固体撮像装置の基板の層構造を示した図である。

【図15】この発明の第7の実施の形態を示すもので、高加速度イオン注入後の固体撮像装置の基板の層構造を示した図である。

【図16】(a)はこの発明の第8の実施の形態に於ける固体撮像装置の層構造を示した図、(b)は同図(a)の基板内の不純物濃度分布図である。

【図17】(a)はこの発明の第9の実施の形態に於ける固体撮像装置の層構造を示した図、(b)は同図(a)の基板内の不純物濃度分布図である。

【図18】リセットを基板側に排出するセル構造をとったときのセル部の回路構成の一例を示した図である。

【図19】図19に示された検出部の電位図である。

【図20】増幅型MOSセンサを用いた従来の固体撮像装置の回路構成図である。

【図21】従来の増幅型MOSセンサの単位セル内のフォトダイオードを含む部分の断面構造を示した図である。

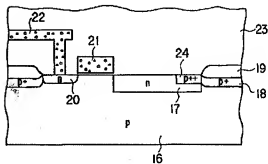
【図22】図21のフォトダイオードとLOCOS領域の境界部分を拡大して示した図である。

【符号の説明】

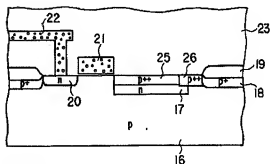
- 16 シリコン基板(p型層領域)、
- 17 n型層領域、
- 18 p⁺層、

- 24、25、26、27 欠陥シールド層、
31 基板、
32 信号電荷障壁層、
33 LOCOS層、
34 高加速イオン注入。

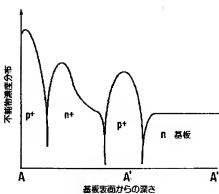
【图2】



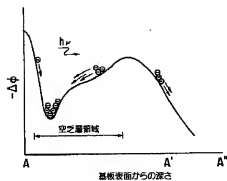
【図4】



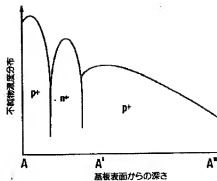
【図6】



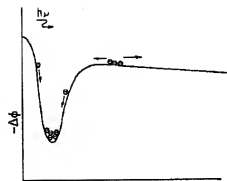
【図7】



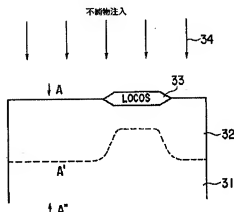
【図8】



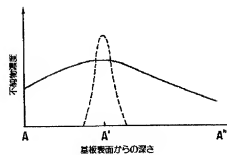
【図9】



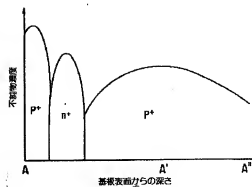
【図10】



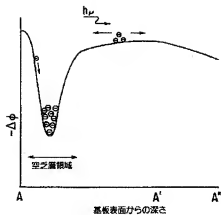
【図11】



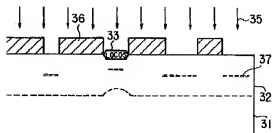
【図12】



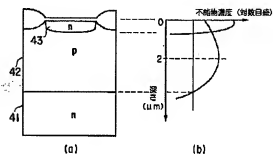
【図13】



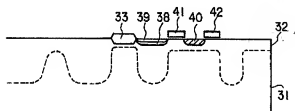
【図14】



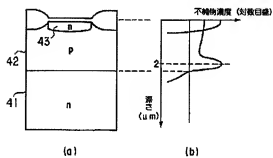
【図16】



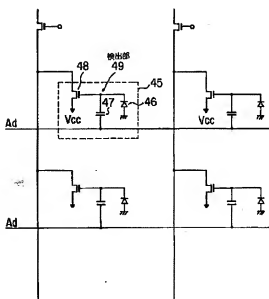
【図15】



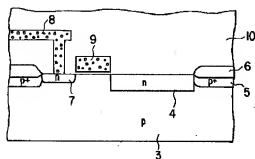
【図17】



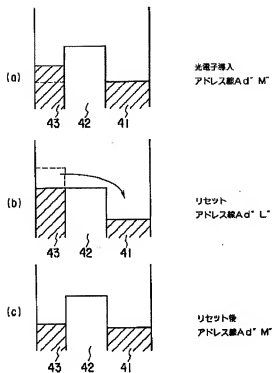
【図18】



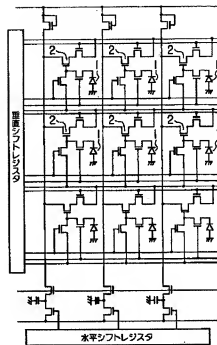
【図21】



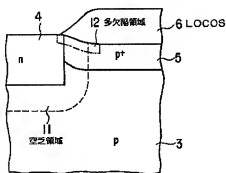
【図19】



【図20】



【図22】



フロントページの続き

(72)発明者 大場 英史
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 田中 長孝
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 馬淵 圭司
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内